ORGANIZZAZIONE LAVORO

Fine massima: 15 gennaio

Prima parte – VHDL compresa testbench

* Finire RTL
  + Componenti ROM, MOLTIPLICATORE – 5 dicembre
  + implementazione istruzioni (ADD, MUL, LSL, LSR) – 5 dicembre
  + Problemi di sintassi – 5 dicembre
  + Casi limite (esempio x = y)
* Fare Testbench

Documentazione VHDL

Documentazione base

Sintesi VIVADO + documentazione

RITROVI

Venerdì 2 dicembre 2:30-4:30

COSE DA CHIEDERE

* Se Rx può essere uguale a Ry
* Funzionamento ROM